

日 本 国 特 許 庁
JAPAN PATENT OFFICE

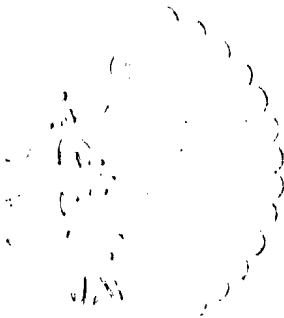
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 1 5 7 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 5 1 5 7 2]

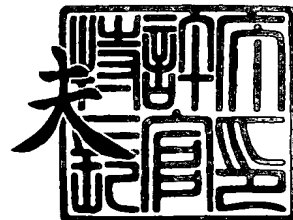
出 願 人 ローム株式会社
Applicant(s):



2 0 0 3 年 9 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PR2-00287

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/331

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 高石 昌

【特許出願人】

 【識別番号】 000116024

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100087701

 【弁理士】

 【氏名又は名称】 稲岡 耕作

【選任した代理人】

 【識別番号】 100101328

 【弁理士】

 【氏名又は名称】 川崎 実夫

【手数料の表示】

 【予納台帳番号】 011028

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9401527

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成されたコンタクトホールを埋めるようにアルミニウムを含む薄膜を形成する半導体装置の製造方法であって、

上記半導体基板の表面に、上記コンタクトホールを埋めるようにシリコンを含む薄膜を形成する工程と、

上記シリコンを含む薄膜のうち上記コンタクトホール外に存在する部分を除去する除去工程と、

この除去工程の後、上記半導体基板の表面に、アルミニウムを含む薄膜を形成するアルミニウム薄膜形成工程と、

このアルミニウムを含む薄膜が形成された上記半導体基板を、アルミニウムに対するシリコンの拡散が生じる温度に加熱する加熱工程を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

上記半導体基板は、上記コンタクトホールを含む複数のセルを備えたものであり、

上記アルミニウム薄膜形成工程で上記半導体基板の単位セルあたりに供給されるアルミニウム量に対する上記除去工程後に単位セルあたりの上記シリコンを含む薄膜に含まれているシリコン量の比が、原子比で 0.1% 以上かつ 2% 以下であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

上記シリコンを含む薄膜を形成する工程が、化学蒸着法によりポリシリコンの薄膜を形成する工程を含むことを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

上記アルミニウム薄膜形成工程が、スパッタ法によりアルミニウムを含む薄膜を形成する工程を含むことを特徴とする請求項 1 ないし 3 のいずれかに記載の半

導体装置の製造方法。

【請求項 5】

上記加熱工程が、上記半導体基板を 3 8 0℃ないし 5 7 0℃に加熱する工程を含むことを特徴とする請求項 1 ないし 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、M O S F E T などの半導体装置の製造方法に関し、特に、シリコン基板等の半導体基板上に形成された微細なコンタクトホールを埋め込むようにアルミニウムを含む薄膜を形成する工程を含む半導体装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置の製造工程では、シリコン基板上に形成された微細なホール（穴）状またはトレンチ（溝）状のコンタクトホールを埋めるようにアルミニウムからなる電極薄膜が形成される。このような電極薄膜は、シリコン基板上に形成された素子（たとえば、トランジスタ）の取り出し電極をなす。

このような薄膜は、従来、スパッタ法により、シリコン基板上にアルミニウム原子を供給して、コンタクトホールを埋めるようにアルミニウム薄膜を形成することにより形成されていた。アルミニウム薄膜を形成する工程において、コンタクトホールがアルミニウム薄膜で埋められやすいように、シリコン基板が加熱されることもあった。

【0 0 0 3】

【発明が解決しようとする課題】

ところが、近年の配線パターンの微細化に伴い、コンタクトホールの幅や径が小さく（たとえば、0. 6 μ m 以下に）なっている。一方、コンタクトホールの深さは配線パターンが微細化されてもほとんど変わらないので、コンタクトホールの幅または径に対するコンタクトホールの深さの比（アスペクト比）が、大きく（たとえば、1 以上に）なる。

【0004】

このような幅や径が小さくアスペクト比が大きいコンタクトホールには、上述の方法では、コンタクトホールを良好に埋めるアルミニウム薄膜を形成することができなかった。具体的には、アルミニウム薄膜内でコンタクトホールに対応する部分にボイド（空隙）が形成されるという問題があった。これは、スパッタ法では、幅や径が小さくアスペクト比が大きいコンタクトホールの内部空間が、アルミニウム原子で完全に埋められる前に、コンタクトホールの開口を塞ぐようにアルミニウム薄膜が成長してしまうことによる。

【0005】

また、成膜時またはその後の工程で、アルミニウム薄膜から、シリコン基板上の拡散領域などへとアルミニウム原子が拡散（アルミスパイク）し、素子の p n 接合が破壊されるという問題もあった。

そこで、この発明の目的は、半導体基板上に形成された幅や径が小さくアスペクト比が大きいコンタクトホールに、アルミニウムを含む薄膜を良好に埋め込むことができる半導体装置の製造方法を提供することである。

【0006】

この発明の他の目的は、コンタクトホールに埋め込まれたアルミニウムを含む薄膜から、アルミニウム原子が拡散しにくい半導体装置の製造方法を提供することである。

【0007】**【課題を解決するための手段および発明の効果】**

上記の課題を解決するための請求項 1 記載の発明は、半導体基板（1）上に形成されたコンタクトホール（4）を埋めるようにアルミニウムを含む薄膜（11）を形成する半導体装置の製造方法であって、上記半導体基板の表面に、上記コンタクトホールを埋めるようにシリコンを含む薄膜（15）を形成する工程と、上記シリコンを含む薄膜のうち上記コンタクトホール外に存在する部分を除去する除去工程と、この除去工程の後、上記半導体基板の表面に、アルミニウムを含む薄膜（11, 16）を形成するアルミニウム薄膜形成工程と、このアルミニウムを含む薄膜が形成された上記半導体基板を、アルミニウムに対するシリコンの

拡散が生じる温度に加熱する加熱工程を含むことを特徴とする半導体装置の製造方法である。

【0008】

なお、括弧内の英数字は後述の実施形態における対応構成要素等を示す。以下、この項において同じ。

この発明によれば、アルミニウムを含む薄膜（以下、「アルミニウム薄膜」という。）の形成に先立って、コンタクトホールを埋めるようにシリコンを含む薄膜が形成される。その後実施されるアルミニウム薄膜形成工程で、たとえば、物理蒸着法により半導体基板上に供給されるアルミニウム原子は、コンタクトホール内を埋めるように形成されたシリコンを含む薄膜上にも供給される。

【0009】

加熱工程において、コンタクトホール内のシリコンを含む薄膜を構成するシリコン原子はアルミニウム薄膜中に拡散するとともに、アルミニウム薄膜を構成するアルミニウム原子は、コンタクトホール内のシリコンを含む薄膜中に拡散しながらコンタクトホール内へと移動することができる。

これにより、コンタクトホール内はアルミニウム薄膜で良好に埋められる。特に、コンタクトホールの幅や径が $0.6\ \mu\text{m}$ 以下と小さく、コンタクトホールのアスペクト比が1以上と高い場合、このような製造方法は効果がある。アルミニウム薄膜の不要な部分は、その後、エッチングなどにより除去してもよい。このようにして、コンタクトホールに良好に埋め込まれたアルミニウム薄膜を形成できる。

【0010】

コンタクトホールは、半導体基板の表面に形成された素子に取り出し電極を接続するためのものであってもよく、多層配線の層間接続をするためのものであってもよい。上記の方法により、たとえば、コンタクトホール内面に露出している半導体層（半導体基板自身であってもよい。）や配線とアルミニウム薄膜とを電氣的に接続できる。

加熱工程は、アルミニウム薄膜形成工程と同時に実施されてもよく、アルミニウム薄膜形成工程終了後に実施されてもよい。また、加熱工程は、アルミニウム

薄膜形成工程と同時に実施し、さらに、アルミニウム薄膜形成工程終了後、一定時間加熱を継続するものであってもよい。

【0011】

また、アルミニウム薄膜がシリコンを含んだものとなるため、コンタクトホールに埋め込まれたアルミニウム薄膜中のアルミニウム原子は、コンタクトホール内面に露出している半導体層（特に、シリコンからなるもの）へ拡散しにくくなる。これにより、当該半導体層の内方に形成された p n 接合の破壊を防ぐことができる。

以上のような効果を奏するために必要なシリコンを含む薄膜中のシリコン量は少なく、たとえば、アルミニウムを含む薄膜中のアルミニウム量に対して、原子比で数%以下である。このため、シリコンを含む薄膜を形成するために半導体基板の表面に供給するシリコンの絶対量は少なく、このようなシリコンの量を正確に制御することは困難である。

【0012】

この発明によれば、除去工程により、シリコンを含む薄膜はコンタクトホールを埋めるように、かつ、コンタクトホール内にのみ存在するようにされる。コンタクトホールは所定の容積を有しているので、除去工程後のシリコンを含む薄膜の量、すなわちシリコンを含む薄膜中のシリコン量を正確に制御できる。

シリコンを含む薄膜を形成する工程は、半導体基板においてコンタクトホールが形成された面の全面にシリコンを含む薄膜を形成するものであってもよい。半導体基板は、たとえば、シリコン基板であってもよく、表面にエピタキシャル層が形成されたものであってもよい。除去工程は、エッチングバックにより、上記シリコンを含む薄膜のうち上記コンタクトホール外に存在する部分を除去する工程を含んでいてもよい。また、除去工程は、機械的に上記シリコンを含む薄膜のうち上記コンタクトホール外に存在する部分を除去する工程を含んでいてもよい。除去工程の後のシリコンを含む薄膜は、コンタクトホールの縁からわずかに盛り上がっていてもよく、コンタクトホールの縁からわずかに窪んでいてもよい。

【0013】

請求項 2 記載の発明は、上記半導体基板は、上記コンタクトホールを含む複数

のセルを備えたものであり、上記アルミニウム薄膜形成工程で上記半導体基板の単位セル（C）あたりに供給されるアルミニウム量に対する上記除去工程後に単位セルあたりの上記シリコンを含む薄膜に含まれているシリコン量の比が、原子比で0.1%以上かつ2%以下であることを特徴とする請求項1記載の半導体装置の製造方法である。

【0014】

アルミニウム量に対するシリコン量の比をこのような範囲とすることより、上述の拡散によるアルミニウム原子の移動が有効に生じて、コンタクトホールに良好にアルミニウム薄膜を埋め込むことができる。また、過剰なシリコンによるシリコンノジュールの発生を防ぐこともできる。シリコンを含む薄膜に含まれるシリコン量は、アルミニウムに対する量が除去工程後に上記の比になっていればよく、シリコンを含む薄膜が形成された直後には、アルミニウム量に対して、より多くてもよい。

【0015】

請求項3記載の発明は、上記シリコンを含む薄膜を形成する工程が、化学蒸着法によりポリシリコンの薄膜（15）を形成する工程を含むことを特徴とする請求項1または2記載の半導体装置の製造方法である。

化学蒸着法により、コンタクトホールの内部をポリシリコン膜で良好に埋めることができる。

アルミニウム薄膜の成膜は、たとえば、請求項4記載のように、物理蒸着法の一例であるスパッタ法によるものとすることができる。

【0016】

請求項5記載の発明は、上記加熱工程が、上記半導体基板を380℃ないし570℃に加熱する工程を含むことを特徴とする請求項1ないし4のいずれかに記載の半導体装置の製造方法である。

アルミニウム薄膜形成工程において、半導体基板を380℃以上に加熱することにより、上述のアルミニウム原子およびシリコン原子の拡散を好適に生じさせ、コンタクトホールに良好にアルミニウム薄膜を埋め込むことができる。

【0017】

また、半導体基板の加熱温度を 570℃以下とすることにより、コンタクトホールに埋め込まれたアルミニウム薄膜から、半導体基板などへのアルミニウム原子の拡散を少なくできる。

【0018】

【発明の実施の形態】

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図1は、本発明の製造方法を適用して製造されるMOS FET (Metal Oxide Semiconductor Field Effect Transistor)の構造を示す図解的な断面図である。

【0019】

シリコン (Si) 基板1の表層部には、n-型のエピタキシャル層2が形成されている。エピタキシャル層2の上には、複数のリッジ形状の積層膜3が形成されている。積層膜3は、シリコン基板1の表面に沿う第1の方向 (図1で、紙面に垂直な方向) に延びるものと、シリコン基板1の表面に沿い第1の方向に直交する第2の方向 (図1で、紙面に平行な方向) に延びるものを含んでいる。それぞれの方向に関して、複数の積層膜3が互いにほぼ平行に配列されている。すなわち、積層膜3は格子状に形成されている。積層膜3で囲まれた領域は、コンタクトホール (穴) 4となっている。コンタクトホール4はn-型のエピタキシャル層2に達しない深さを有している。

【0020】

積層膜3は、下部 (エピタキシャル層2側) から上部に向かって積層されたp-層5、n+層6、および酸化シリコン層7を含んでいる。

各積層膜3の内部には、エピタキシャル層2の上部から積層膜3の積層方向に延びるポリシリコン層8が形成されている。ポリシリコン層8は、p-層5およびn+層6を貫通しており、上部 (エピタキシャル層2側とは反対側) で酸化シリコン層7に接している。ポリシリコン層8は、不純物の添加により導電化されていて、シリコン基板1の端部で外部接続されており、FETのゲート電極として機能するようになっている。

【0021】

ポリシリコン層 8 の周囲には、酸化シリコン層 7 と接する部分を除いて、酸化膜（ゲート酸化膜） 9 が形成されている。

コンタクトホール 4 の底部で、隣接する積層膜 3 の p-層 5 間、およびエピタキシャル層 2 に接する部分には、p-層 5 より層厚が薄い p+層 10 が形成されている。積層膜 3 および p+層 10 の上部には、コンタクトホール 4 を埋めるようにアルミニウム（Al）を主成分とするアルミニウム電極膜 11 が形成されている。アルミニウム電極膜 11 は、少量（たとえば、原子比でアルミニウムに対して 0.3%）のシリコンを含んでいる。アルミニウム電極膜 11 は、n+層 6 の取り出し電極として機能するようになっている。

【0022】

アルミニウム電極膜 11 とシリコン基板 1 に接続された図示しない電極との間に一定の大きさの電圧を印加するとともに、ポリシリコン層 8（ゲート電極）を所定の電位にすることにより、p-層 5 を介して、n+層 6 とエピタキシャル層 2 との間に電流（ドレイン電流）を流すことができる。ドレイン電流は、p-層 5 中で酸化膜 9 近傍を、酸化膜 9 に沿って流れる。すなわち、p-層 5 中で酸化膜 9 近傍の部分にはチャネルが形成される。

【0023】

以上のような構造の MOS FET において、コンタクトホール 4 の幅 W_1 は、たとえば、 $0.6 \mu\text{m}$ であり、コンタクトホール 4 の幅 W_1 に対する深さ D の比（アスペクト比） D/W_1 は大きい（たとえば、1 以上）。ポリシリコン層 8 の幅 W_2 は、たとえば、 $0.6 \mu\text{m}$ であり、積層膜 3 のうちポリシリコン層 8 の片側に存在する部分の幅 W_3 は、たとえば、 $0.45 \mu\text{m}$ である。したがって、この MOS FET の素子単位（セル C）の幅 W_4 は、たとえば、 $2.1 \mu\text{m}$ である。チャネルが縦方向に（シリコン基板 1 に垂直な方向）に形成されていることに加え、n+層 6 とアルミニウム電極膜 11 とが、コンタクトホール 4 の内側壁で接触されていることにより、このような小さなセル C が実現されている。

【0024】

このように、セル C を小さくすることにより、単位面積あたりに多くのセル C

を形成することができる。これにより、単位面積あたりに形成されるチャネルおよびエピタキシャル層 2 において電流が流れる領域を広くすることができる。したがって、オン抵抗を低減することができる。

図 2 および図 3 は、アルミニウム電極膜 11 の形成工程を説明するための図解的な断面図である。

【0025】

先ず、 p^+ 層 10 および積層膜 3 上に、CVD（化学蒸着）法により、ポリシリコン膜 15 が形成される（図 2（a）参照）。ポリシリコン膜 15 は、コンタクトホール 4 内を埋めるように充分大きな厚さで、シリコン基板 1 のほぼ全面に渡って形成される。続いて、エッチングにより、ポリシリコン膜 15 のうちコンタクトホール 4 外に存在する部分が除去（エッチバック）され、ポリシリコン膜 15 がコンタクトホール 4 内にのみ存在する状態にされる。この状態が図 2（b）に示されている。ポリシリコン膜 15 は、コンタクトホール 15 の縁からわずかに盛り上がっていてもよく、コンタクトホール 15 の縁からわずかに窪んでいてもよい。ポリシリコン膜 15 をこのような状態とするためには、たとえば、エッチング時間を制御すればよい。

【0026】

次に、このようにしてポリシリコン膜 15 が形成されたシリコン基板 1 に対して、スパッタ法により、アルミニウム原子が堆積されてアルミニウム薄膜 16 が形成される。スパッタ法によりシリコン基板 1 上に供給されたアルミニウム原子は、積層膜 3 上およびコンタクトホール 4 を埋めるポリシリコン膜 15 の上に、ほぼ均一に堆積する（図 2（c）参照）。

その後、以上の工程を経たシリコン基板 1 が加熱される。加熱温度は、380℃ないし 570℃とされる。これにより、ポリシリコン膜 15 上および積層膜 3 上に堆積したアルミニウム原子は、ポリシリコン膜 15 中に拡散、すなわちコンタクトホール 4 内に移動する。また、ポリシリコン膜 15 を構成するシリコン原子も、アルミニウム薄膜 16 中へと拡散する。

【0027】

このようにして、コンタクトホール 4 内のポリシリコン膜 15 は、次第にアルミ

ニウム薄膜 16 で置換されていき (図 3 (d) 参照)、適当な時間シリコン基板 1 が加熱された後には、コンタクトホール 4 はアルミニウム薄膜 16 により完全に埋められた状態となる。このようにして、ボイド (空隙) のない良好なアルミニウム電極膜 11 が得られる (図 3 (e) 参照)。特に、コンタクトホール 4 が、幅や径が $0.6\ \mu\text{m}$ 以下と小さく、アスペクト比が 1 以上と高い場合、このような製造方法は効果がある。

【0028】

エッチバック後の単位セル C あたりのポリシリコン膜 15 (図 2 (b) 参照) に含まれるシリコン量は、スパッタ法によりシリコン基板 1 の単位セル C あたりに供給されるアルミニウム量に対して、原子比で 0.1% 以上かつ 2% 以下とされる。これにより、上述の拡散によるアルミニウム原子の移動が有効に生じて、コンタクトホール 4 に良好にアルミニウム電極膜 11 を埋め込むことができる。また、過剰なシリコンによるシリコンノジュールの発生を防ぐこともできる。

【0029】

このため、アルミニウム電極膜 11 は、アルミニウムを主成分とし、少量 (たとえば、原子比でアルミニウムに対して 0.3%) のシリコンを含んだものとなる。

また、シリコン基板 1 に供給するアルミニウム量に対するエッチバック後のシリコン量の比は、シリコン基板 1 を加熱する工程の温度におけるアルミニウムに対するシリコンの固溶限界内とすることが好ましい。この場合、ポリシリコン膜 15 を構成するシリコン原子は全量アルミニウム薄膜 16 中へと移動し、アルミニウム薄膜 16 の成膜終了後には、アルミニウム薄膜 16 (アルミニウム電極膜 11) と p⁺層 10 および積層膜 3 との間には、ポリシリコン膜 15 は存在しなくなる。

【0030】

アルミニウム電極膜 11 が形成された後、アルミニウム電極膜 11 の不要部分は、エッチングなどにより除去される。

アルミニウム電極膜 11 が固溶限界内のシリコンを含んでいることにより、スパッタ法によるアルミニウム電極膜 11 形成時や他の工程において、シリコン基

板 1 が加熱されて高温になった場合でも、アルミニウム電極膜 11 を構成するアルミニウム原子は、 p^+ 層 10、積層膜 3、エピタキシャル層 2 などへ拡散しにくい。したがって、素子を構成するエピタキシャル層 2、 p^- 層 5、および n^+ 層 6 にアルミニウム原子が拡散して、 $p-n$ 接合が破壊されることはない。

【0031】

以上のような方法によりアルミニウム電極膜 11 を形成する場合、アルミニウム電極膜 11 を形成する前にバリアメタル層を形成する必要もない。

この発明の一実施形態の説明は、以上の通りであるが、この発明は他の形態でも実施することもできる。たとえば、本発明に係る製造方法は、MOS FET 以外の半導体装置の様々なコンタクトホールを埋めて薄膜を形成する場合にも適用可能である。

【0032】

たとえば、上記の実施形態では、アルミニウム電極膜 11 はコンタクトホール 4 側面に露出した p^+ 層 6（半導体層）に電氣的に接続されるように形成されているが、コンタクトホール底面に露出している半導体層（基板自身を含む。）に電氣的に接続されるように形成されてもよい。この場合、コンタクトホールの内側壁には絶縁体のみが露出しているてもよい。

さらに、コンタクトホール 4 は、半導体層（素子）に取り出し電極を接続するためのものに限られず、配線（たとえば、金属からなる配線）の層間接続を行うためのものであってもよい。この場合、コンタクトホール 4 内（たとえば、コンタクトホール 4 の底面）に配線が露出するようにし、上記の実施形態と同様の方法により、このコンタクトホール 4 内にアルミニウム電極膜 11 を埋め込むものとすることができる。

【0033】

また、アルミニウム電極膜 11 は、コンタクトホール内に露出している導体に電氣的に接続されるものであってもよい。

薄膜（電極配線）を埋め込むコンタクトホールは、幅または径が $0.6\ \mu\text{m}$ 以下のものに限られず、幅または径が $0.6\ \mu\text{m}$ より大きいのものであってもよい。また、薄膜（電極配線）を埋め込むコンタクトホールは、アスペクト比が 1 以

上のものに限られず、アスペクト比が1未満のものであってもよい。

【0034】

半導体装置は、MOS FET以外に、たとえばIGBT(Insulated Gate Bipolar Transistor)などの半導体装置であってもよい。

シリコン基板1を加熱する工程(図3(d)参照)は、シリコン基板1上にアルミニウム原子を堆積させる工程(図2(c)参照)と同時に実施されてもよい。すなわち、アルミニウムのスパッタリングは、シリコン基板1を加熱しながら行ってもよい。この場合、シリコン基板1へのアルミニウム原子の供給を停止した後、適当な時間シリコン基板1の加熱を継続することとしてもよい。

【0035】

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【図1】

本発明の製造方法を適用して製造されるMOS FETの構造を示す図解的な断面図である。

【図2】

アルミニウム電極膜の形成方法を説明するための図解的な断面図である。

【図3】

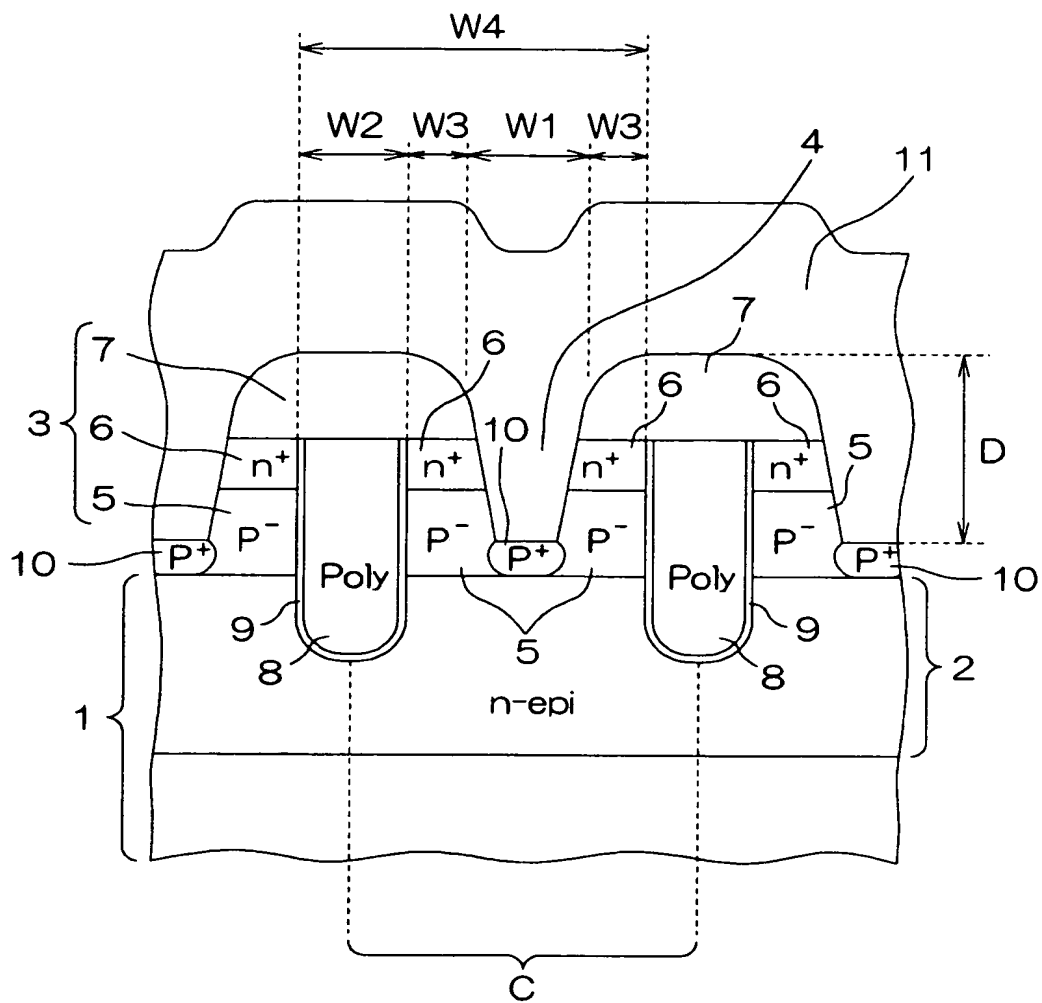
アルミニウム電極膜の形成方法を説明するための図解的な断面図である。

【符号の説明】

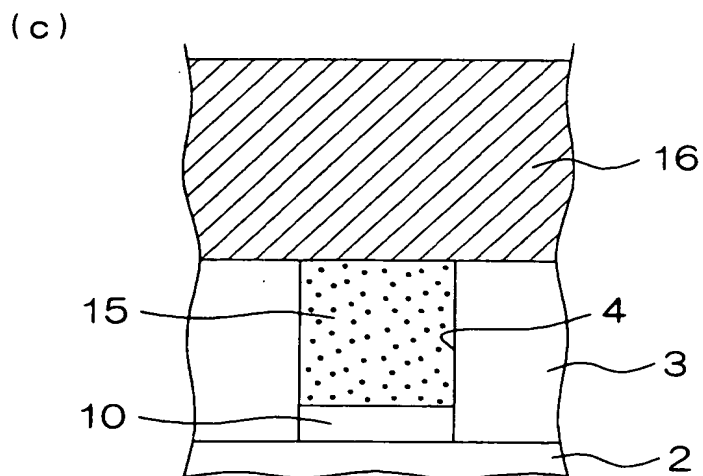
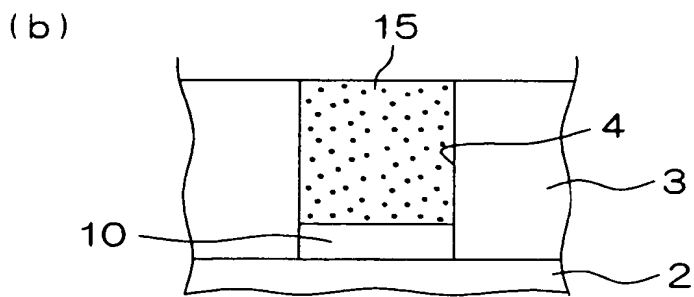
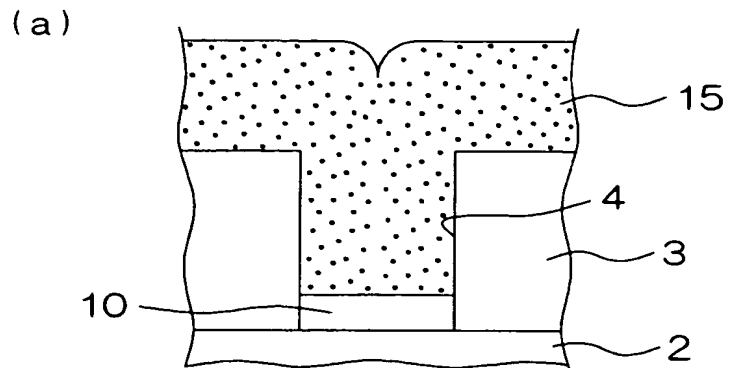
- 1 シリコン基板
- 4 コンタクトホール
- 11 アルミニウム電極膜
- 15 ポリシリコン膜
- 16 アルミニウム薄膜
- C セル

【書類名】 図面

【図 1】

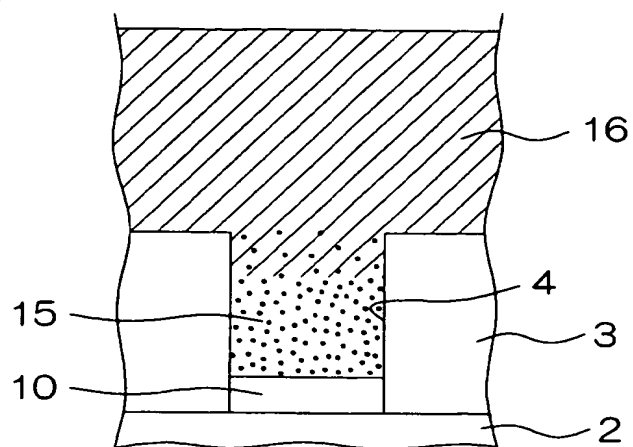


【図 2】

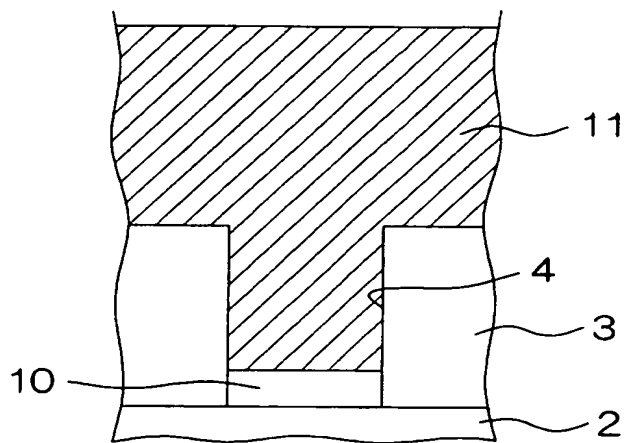


【図 3】

(d)



(e)



【書類名】 要約書

【要約】

【課題】 半導体基板上に形成された幅や径が小さくアスペクト比が大きいコンタクトホールに、アルミニウムを含む薄膜を良好に埋め込むことができる半導体装置の製造方法を提供する。

【解決手段】 表面にコンタクトホール 4 が形成されたシリコン基板上に、化学蒸着法により、コンタクトホール 4 を埋めるようにポリシリコン膜 1 5 が形成される（図 2（a））。次に、エッチバックにより、コンタクトホール 4 外に存在するポリシリコン膜 1 5 が除去される（図 2（b））。続いて、シリコン基板のほぼ全面に、スパッタ法により、アルミニウム原子が堆積されてアルミニウム薄膜 1 6 が形成される（図 2（c））。その後、シリコン基板が加熱される。

【選択図】 図 2

特願 2 0 0 3 - 0 5 1 5 7 2

出 願 人 履 歷 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社